

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2002年10月3日 (03.10.2002)

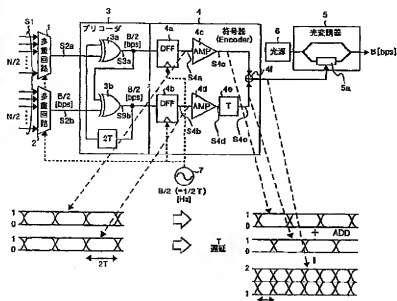
PCT

(10) 国際公開番号
WO 02/078279 A1

- (51) 国際特許分類: H04B 10/04, H04J 14/08 H04L 25/497, (JP). 小崎 成治 (KOZAKI, Seiji) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 久保 和夫 (KUBO, Kazuo) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 一番ヶ瀬 広 (ICHIRAN-GASE, Hiroshi) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP02/02444
- (22) 国際出願日: 2002年3月14日 (14.03.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2001-74990 2001年3月15日 (15.03.2001) JP (81) 指定国 (国内): US.
- (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- 添付公開書類:
— 国際調査報告書
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 上村 有朋 (UEMURA, Aritomo) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドランスノート」を参照。

(54) Title: MULTIPLEXER

(54) 発明の名称: 多重装置



- 1...MULTIPLIER CIRCUIT 5...OPTICAL MODULATOR
2...MULTIPLIER CIRCUIT 6...LIGHT SOURCE
3...FREQUENCY 7...DELAY
4...FREQUENCY

(57) Abstract: An encoder (4) comprises flip-flop circuits (4a, 4b) which latch two-system signals having B/2 transmission speed at a B/2 frequency and output them, an adder (4f) which adds the respective output signals of the flip-flop circuits (4a, 4b) and outputs the sum, and a delay element (4e) which delays the output signal from the flip-flop circuit (4b) by 1/8 hr behind the output signal from the timing of the adder (4f).

WO 02/078279 A1

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-281095

(P2002-281095A)

(43) 公開日 平成14年9月27日 (2002.9.27)

(51) Int. CL ⁷	識別記号	PI	チヤート*(参考)
H04L 25/497		H04L 25/497	2H079
G02F 1/01		G02F 1/01	B 5K002
			C 5K028
H04B 10/28		H04J 3/00	Q 5K029
10/28		H04B 9/00	Y

審査請求 未請求 請求項の数17 O.L. (全 18 頁) 最終頁に続く

(21) 出願番号 特願2001-74990(P2001-74990)

(22) 出願日 平成13年3月15日 (2001.3.15)

(71) 出願人 000006913

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 上村 有朋

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 小崎 成治

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100069118

弁理士 酒井 宏明

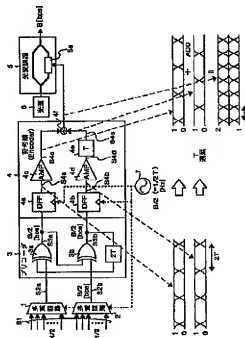
最終頁に続く

(54) 【発明の名称】 多重装置

(57) 【要約】

【課題】 高速動作するフリップフロップ回路などの電子デバイスを用いなくても、高速光伝送が可能となり、通常のフリップフロップ回路の動作速度限界をも超えた光伝送速度を可能とし、低コストかつ小型化にも寄与すること。

【解決手段】 符号器4は、B/2の伝送速度をもつ2系統の信号を、B/2の周波数で各系統の信号を保持して出力するフリップフロップ回路4a、4bと、フリップフロップ回路4a、4bから出力された各出力信号を加算して出力する加算器4fと、フリップフロップ回路4bからの出力信号を、加算器4fの入力タイミング時に、フリップフロップ回路4aから出力された出力信号に比して1/B時間分遅延させる遅延器4eとを備える。



【特許請求の範囲】

【請求項1】 複数のデジタル信号を時分割多重し、この時分割多重された信号を符号器によって3値の電気信号に変換し、光変調器がこの3値の電気信号によって光源からの入力光を変調し、所定値の伝送速度をもつ光信号として生成出力する多重化装置において、前記符号器は、

前記所定値の1/2の伝送速度をもつ2系統の信号を、該所定値の1/2の周波数で各系統の信号を保持して出力する第1および第2のフリップフロップ回路と、前記第1および第2のフリップフロップ回路から出力された各出力信号を加算して出力する加算手段と、前記第2のフリップフロップ回路からの出力信号を、前記加算手段の入力タイミング時に、前記第1のフリップフロップ回路から出力された出力信号に比して前記所定値分の1の時間分遅延させる遅延手段と、を備えたことを特徴とする多重装置。

【請求項2】 前記第1および第2のフリップフロップ回路からの出力信号をそれぞれ増幅する第1および第2の増幅手段をさらに備えたことを特徴とする請求項1に記載の多重装置。

【請求項3】 前記加算手段からの出力信号を増幅する第3の増幅手段をさらに備えたことを特徴とする請求項1に記載の多重装置。

【請求項4】 前記第1および第2の増幅手段あるいは前記第3の増幅手段は、出力信号の増幅を一定レベル以上に増幅させない飽和特性を有することを特徴とする請求項2または3に記載の多重装置。

【請求項5】 前記遅延手段は、前記第2のフリップフロップ回路の後段に配置され、伝播遅延を有した伝送線路であることを特徴とする請求項1~4のいずれか一つに記載の多重装置。

【請求項6】 前記遅延手段は、前記第2のフリップフロップ回路の前段に配置され、前記第2のフリップフロップからの出力信号を、前記加算手段の入力タイミング時に、前記第1のフリップフロップ回路から出力された出力信号に比して前記所定値分の1の時間分遅延させる時間遅延手段と、前記第2のフリップフロップ回路のクロックタイミングを180度シフトさせる移相手段と、を備えたことを特徴とする請求項1~4のいずれか一つに記載の多重装置。

【請求項7】 前記光変調器は、入力光を2分岐する光分岐手段と、前記光分岐手段が2分岐した光信号を合流させる光合流手段と、前記3値の電気信号によって、前記光分岐手段が2分岐した一方の光信号の位相を変化する光位相変調手段と、を備えたマッハツェンダ型光変調器であることを特徴とする請求項1~6のいずれか一つに記載の多重装置。

【請求項8】 前記光変調器は、入力光を2分岐する光分岐手段と、前記光分岐手段が2分岐した光信号を合流させる光合流手段と、前記3値の電気信号によって、前記光分岐手段が2分岐した一方の光信号の位相を変化する第1の位相変調手段と、

前記3値の電気信号によって、前記光分岐手段が2分岐した他方の光信号の位相を変化する第2の位相変調手段と、を備えたマッハツェンダ型光変調器であることを特徴とする請求項1~6のいずれか一つに記載の多重装置。

【請求項9】 前記符号器は、前記所定値の1/2の伝送速度をもつ2系統の信号をそれぞれ入力する第1および第2の排他的論理和ゲート回路と、前記第2の排他的論理和ゲート回路から出力された出力信号を、前記所定値分の1の2倍の時間分遅延させる信号遅延手段と、を有したブリコダを備え、

前記第1の排他的論理和ゲート回路は、前記所定値の1/2の伝送速度をもつ2系統の信号のうちの1つの系統の信号と前記信号遅延手段からの出力信号との排他的論理和演算を行って前記第1のフリップフロップ回路に出力するとともに、前記第2の排他的論理和ゲート回路に出力し、前記第2の排他的論理和ゲート回路は、前記所定値の1/2の伝送速度をもつ2系統の信号のうちの他の系統の信号と前記第1の排他的論理和ゲート回路から出力された出力信号との排他的論理和演算を行って前記第2のフリップフロップ回路に出力するとともに、前記信号遅延手段に出力することを特徴とする請求項1~8のいずれか一つに記載の多重装置。

【請求項10】 N並列（Nは2の倍数）の低速信号が入力されるN並列の排他的論理和ゲート回路を有し、前記3値の電気信号を生成する前記符号器に出力される前記所定値の1/2の伝送速度をもつ2系統の信号を生成するためのブリコダを行うブリコダと、前記ブリコダから出力されたN並列の信号を前記所定値の1/2の伝送速度をもつ2系統の信号としてそれぞれN/2割1に多重化して前記符号器に出力する第1および第2の多重回路と、をさらに備え、

前記ブリコダにおいて、N並列の低速信号に対応したN並列の各排他的論理和ゲート回路は、当該排他的論理和ゲート回路の出力を当該排他的論理和ゲート回路の偶奇順序に応じて前記第1あるいは前記第2の多重回路に出力するとともに、次番の排他的論理和ゲート回路の入力として出力し、最終番の排他的論理和ゲート回路は、所定値分の1のN倍時間分遅延した排他的論理和出力を前記第1番の排他的論理和ゲート回路の入力として出力す

ることを特徴とする請求項 1~8 のいずれか一つに記載の多重装置。

【請求項 11】 前記光変調器からの出力光を入力として所定帯域の光スペクトルを選択出力する光バンドパスフィルタをさらに備え、

前記光源は、光強度が時間的に変化しない直流光源であり、

前記光バンドパスフィルタは、当該光バンドパスフィルタの 2 dB 透過帯域が、前記光変調器から出力された前記所定値の伝送速度をもつ変調光の中心周波数 $0.6 \times$ 所定値以内であることを特徴とする請求項 1~10 のいずれか一つに記載の多重装置。

【請求項 12】 前記光源は、前記所定値の周期で該光源の光強度の強弱を繰り返すパルス光源であることを特徴とする請求項 1~10 のいずれか一つに記載の多重装置。

【請求項 13】 前記パルス光源が出力する光パルスの光位相は、各パルス毎に 180 度変化することを特徴とする請求項 12 に記載の多重装置。

【請求項 14】 前記光変調器からの出力光を入力として所定帯域の光スペクトルを選択出力する光バンドパスフィルタをさらに備え、

前記光バンドパスフィルタは、当該光バンドパスフィルタの 2 dB 透過帯域が、前記光変調器から出力された前記所定値の伝送速度をもつ変調光の中心周波数 $1.1 \times$ 所定値以内であることを特徴とする請求項 12 または 13 に記載の多重装置。

【請求項 15】 前記光バンドパスフィルタの機能を有し、複数の変調光を波長多重した波長多重光として出力する合波手段をさらに備えたことを特徴とする請求項 13 または 14 に記載の多重装置。

【請求項 16】 前記所定値の伝送速度を有した複数の前記変調光を波長多重した波長多重光として出力する合波手段と、

前記合波手段の前段に、隣接する各変調光の偏波を直交させる偏波面調整手段と、

をさらに備え、

隣接する各変調光の波長間隔を前記所定値の 1.2 倍以内とすることを特徴とする請求項 14 に記載の多重装置。

【請求項 17】 前記所定値の伝送速度を有した複数の前記変調光を波長多重した波長多重光として出力する合波手段と、

前記合波手段の前段に、隣接する各変調光の偏波を直交させる偏波面調整手段と、

をさらに備え、

隣接する各変調光の波長間隔を前記所定値の 2.3 倍以内とすることを特徴とする請求項 12~14 のいずれか一つに記載の多重装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、複数の高速なデジタル電気信号を時分割多重して光信号を変調するデュオバイナリ変調方式を用いた多重装置に関するものである。

【0002】

【従来の技術】 従来から、デュオバイナリ方式を用いた光伝送装置がある。この光伝送装置としては、例えば文献“The duobinary technique for high-speed data transmission” (IEEE Transaction on Communication & Electronics, Vol. 82, 1963)、および文献“Characteristics of Optical Duobinary Signals in Terabit/s Capacity, High-Spectral Efficiency WDM Systems” (IEEE Journal of Lightwave Technology, Vol. 16, No. 6, 1998) に示されている。

【0003】 上述した文献に示されたデュオバイナリ方式は、従来、無線のベースバンド変調方式のパーソナルレスポンス方式として 1960 年代に検討され、1990 年代に入ってから光変調スペクトルの狭帯化の目的で利用されている方式である。この符号方式は、[0/1] の 2 値信号を、[0/1/2] の 3 値信号に変換することで周波数帯域を圧縮し、受信側の復号部では、[0, 2] の信号を、[0] の信号に変換し、[1] の信号を [1] に変換することによって、送信元の [0/1] の 2 値信号を再生する方式である。

【0004】 図 18 は、上述した従来のデュオバイナリ方式を用いた光伝送装置の構成を示すブロックである。図 18 において、B/N [bit/sec] の N 並列の低速信号 S201 は、多重回路 201 によって多重化され、B/2 [sec] の 2 値信号 S202 に変換される。この 2 値信号 S202 は、プリコーダ 202 に入力され、ビット間の符号間干渉を低減するための処理が施された 2 値信号 S203 を符号器 203 に出力する。符号器 203 は、2 値信号 S203 を 3 値信号 S204 に変換して出力する。

【0005】 符号器 203 から出力された電気信号である 3 値信号 S204 は、光変調器 204 に入力され、光電界強度 (位相) が [1(0), 1(π), 0 (位相無し)] の 3 値をもつ光 3 値信号に E/O 変換されて出力される。この光 3 値信号を受信する受信側の復号器 206 内の O/E 変換部 206a は、光ディテクタによって光 3 値信号の光強度に応じた電流信号に変換されるため、位相情報は失われ、光 3 値信号は、電気信号である 2 値信号 S206 に変換され、送信側の 2 値信号 S202 に復される。

【0006】 ここで、符号器 203 は、前段のプリコーダ 202 の存在によって、2 値信号 S202 の [0] 値を、[0] 値または [2] 値に変換し、[1] 値を、[1] 値に変換することができる。プリコーダ 202 は、EXOR ゲート 202a と、EXOR ゲート 202

aの反転出力信号を、 $T = (1/B)$ [sec]だけ遅延させ、再びEXORゲート202aに入力する遅延器202bとを有する。

【0007】符号器203は、入力された2値信号S203を2分岐し、一方の2値信号に対して遅延器203aが、分岐された2値信号S203間に遅延時間差 $T[s]$ を付与し、その後、遅延器203aから出力された2値信号と他方の2値信号とを、加算器203bによってアナログ的に加算し、3値信号S204として出力する。

【0008】ここで、符号器203は、具体的に図19に示す構成によって実現することができる。図19

(a)に示した符号器213は、1つのフリップフロップ回路213aとフリップフロップ回路213aの後段に接続され、カットオフ周波数が $B/4$ [Hz]のローパスフィルタ213bとによって実現される。また、図19(b)に示した符号器223は、2つのフリップフロップ回路223a、223bによって構成されたシフトレジスタと、このシフトレジスタから出力される信号を加算する加算器223cとによって実現される。

【0009】図19(a)および図19(b)に示した符号器213、223は、機能的には同じであり、あるタイミングの入力信号「1」に対して出力信号が2クロック間において、1クロック分間引きされ、1クロック分伸ばされた「1」の信号を生成し、入力信号「0」に対して同様に、出力信号が2クロック間において、1クロック分間引きされ、1クロック分伸ばされた「0、0」の信号を生成し、符号器223では、図20に示すように、これらの信号S201、S202を加算器223cによって加算した3値信号S204として出力する。

【0010】

【発明が解決しようとする課題】ところで、上述した従来の光伝送装置では、プリコード202の出力信号および符号器223内のシフトレジスタの出力信号は、いずれも2値信号S202の送信ビットレート B と同じ B [bit/sec]で変化した、この速度で処理しなければならない。

【0011】したがって、多重化された2値信号S202と同じデータ速度 B [bit/sec]で動作可能な電子デバイスと、たとえば高速フリップフロップ回路が必須であるという問題点があった。

【0012】特に、ネットワークの基幹回線を構成する光伝送路では、光伝送速度をできる限り高速化することがコスト上、有利になるが、上述したフリップフロップ回路などの電子デバイスの動作速度が制約となっている。したがって、できる限り低速な電子デバイスを用いて、高速の光伝送速度が得られることが望ましい。

【0013】この発明は上記に鑑みてなされたもので、高速動作するフリップフロップ回路などの電子デバイス

を用いなくても、高速光伝送が可能となり、通常のフリップフロップ回路の動作速度限界をも超えた光伝送速度を可能とし、低コストかつ小型化にも寄与することができ、多量装置を得ることを目的とする。

【0014】

【課題を解決するための手段】上記目的を達成するため、この発明にかかる多量装置は、複数のデジタル信号を時分多重し、この時分多重された信号を符号器によって3値の電気信号に変換し、光変調器がこの3値の電気信号によって光源からの入力光を変調し、所定値の伝送速度をもつ光信号として生成出力する多重化装置において、前記符号器は、前記所定値の $1/2$ の伝送速度をもつ2系統の信号を、該所定値の $1/2$ の周波数で各系統の信号を保持して出力する第1および第2のフリップフロップ回路と、前記第1および第2のフリップフロップ回路から出力された各出力信号を加算して出力する加算手段と、前記第2のフリップフロップ回路からの出力信号を、前記加算手段の入力タイミング時に、前記第1のフリップフロップ回路から出力された出力信号に比して前記所定値分の1の時間分遅延させる遅延手段とを備えたことを特徴とする。

【0015】この発明によれば、第1および第2のフリップフロップ回路が、前記所定値の $1/2$ の伝送速度をもつ2系統の信号を、該所定値の $1/2$ の周波数で各系統の信号を保持して出力し、遅延手段が、前記第2のフリップフロップ回路からの出力信号を、前記加算手段の入力タイミング時に、前記第1のフリップフロップ回路から出力された出力信号に比して前記所定値分の1の時間分遅延させ、加算手段が、前記第1および第2のフリップフロップ回路から出力された各出力信号を加算して出力するようにしている。

【0016】つぎの発明にかかる多量装置は、上記の発明において、前記第1および第2のフリップフロップ回路からの出力信号をそれぞれ準備する第1および第2の増幅手段をさらに備えたことを特徴とする。

【0017】この発明によれば、第1および第2の増幅手段が、前記第1および第2のフリップフロップ回路からの出力信号をそれぞれ増幅するようにしている。

【0018】つぎの発明にかかる多量装置は、上記の発明において、前記加算手段からの出力信号を増幅する第3の増幅手段をさらに備えたことを特徴とする。

【0019】この発明によれば、第3の増幅手段が、前記加算手段からの出力信号を増幅するようにしている。

【0020】つぎの発明にかかる多量装置は、上記の発明において、前記第1および第2の増幅手段あるいは前記第3の増幅手段は、出力信号の振幅を一定レベル以上に増幅させない飽和特性を有することを特徴とする。

【0021】この発明によれば、前記第1および第2の増幅手段あるいは前記第3の増幅手段が、出力信号の振幅を一定レベル以上に増幅させない飽和特性を有するよ

うにしている。

【0022】つぎの発明にかかる多重装置は、上記の発明において、前記遅延手段は、前記第2のフリップフロップ回路の後段に配置され、伝播遅延を有した伝送線路であることを特徴とする。

【0023】この発明によれば、前記遅延手段が、前記第2のフリップフロップ回路の後段に配置され、伝播遅延を有した伝送線路としている。

【0024】つぎの発明にかかる多重装置は、上記の発明において、前記遅延手段は、前記第2のフリップフロップ回路の前段に配置され、前記第2のフリップフロップからの出力信号を、前記加算手段の入力タイミング時に、前記第1のフリップフロップ回路から出力された出力信号に比して前記所定値分の1の時間分遅延させる時間遅延手段と、前記第2のフリップフロップ回路のクロックタイミングを180度シフトさせる移相手段とを備えたことを特徴とする。

【0025】この発明によれば、前記遅延手段の時間遅延手段が、前記第2のフリップフロップ回路の前段に配置され、前記第2のフリップフロップからの出力信号を、前記加算手段の入力タイミング時に、前記第1のフリップフロップ回路から出力された出力信号に比して前記所定値分の1の時間分遅延させ、移相手段が、前記第2のフリップフロップ回路のクロックタイミングを180度シフトさせるようにしている。

【0026】つぎの発明にかかる多重装置は、上記の発明において、前記光変調器は、入力光を2分岐する光分岐手段と、前記光分岐手段が2分岐した光信号を合流させる光合流手段と、前記3値の電気信号によって、前記光分岐手段が2分岐した一方の光信号の位相を変化させる光位相変調手段とを備えたマッハツェンダ型光変調器であることを特徴とする。

【0027】この発明によれば、光分岐手段が、入力光を2分岐し、光位相変調手段が、前記3値の電気信号によって、前記光分岐手段が2分岐した一方の光信号の位相を変化させ、光合流手段が、前記光分岐手段が2分岐した光信号を合流させるマッハツェンダ型光変調器によって、前記光変調器を構成している。

【0028】つぎの発明にかかる多重装置は、上記の発明において、前記光変調器は、入力光を2分岐する光分岐手段と、前記光分岐手段が2分岐した光信号を合流させる光合流手段と、前記3値の電気信号によって、前記光分岐手段が2分岐した一方の光信号の位相を変化させる第1の位相変調手段と、前記3値の電気信号によって、前記光分岐手段が2分岐した他方の光信号の位相を変化させる第2の位相変調手段とを備えたマッハツェンダ型光変調器であることを特徴とする。

【0029】この発明によれば、光分岐手段が、入力光を2分岐し、第1の位相変調手段が、前記3値の電気信号によって、前記光分岐手段が2分岐した一方の光信号

の位相を変化させ、第2の位相変調手段が、前記3値の電気信号によって、前記光分岐手段が2分岐した他方の光信号の位相を変化させ、光合流手段が、前記光分岐手段が2分岐した光信号を合流させるマッハツェンダ型光変調器によって前記光変調器を構成するようにしている。

【0030】つぎの発明にかかる多重装置は、上記の発明において、前記符号器は、前記所定値の1/2の伝送速度をもつ2系統の信号をそれぞれ入力する第1および第2の排他的論理和ゲート回路と、前記第2の排他的論理和ゲート回路から出力された出力信号を、前記所定値分の1の2倍の時間分遅延させる信号遅延手段とを有したプリコードを備え、前記第1の排他的論理和ゲート回路は、前記所定値の1/2の伝送速度をもつ2系統の信号のうちの1つの系統の信号と前記信号遅延手段からの出力信号との排他的論理和演算を行って前記第1のフリップフロップ回路に出力するとともに、前記第2の排他的論理和ゲート回路に出力し、前記第2の排他的論理和ゲート回路は、前記所定値の1/2の伝送速度をもつ2系統の信号のうちの他の系統の信号と前記第1の排他的論理和ゲート回路から出力された出力信号との排他的論理和演算を行って前記第2のフリップフロップ回路に出力するとともに、前記信号遅延手段に出力することを特徴とする。

【0031】この発明によれば、前記第1の排他的論理和ゲート回路は、前記所定値の1/2の伝送速度をもつ2系統の信号のうちの1つの系統の信号と前記信号遅延手段からの出力信号との排他的論理和演算を行って前記第1のフリップフロップ回路に出力するとともに、前記第2の排他的論理和ゲート回路に出力し、前記第2の排他的論理和ゲート回路は、前記所定値の1/2の伝送速度をもつ2系統の信号のうちの他の系統の信号と前記第1の排他的論理和ゲート回路から出力された出力信号との排他的論理和演算を行って前記第2のフリップフロップ回路に出力するとともに、前記信号遅延手段に出力して、3値信号を生成するためのプリコードを行うようにしている。

【0032】つぎの発明にかかる多重装置は、上記の発明において、N並列（Nは2の倍数）の低速信号が入力されるN並列の排他的論理和ゲート回路を有し、前記3値の電気信号を生成する前記符号器に出力される前記所定値の1/2の伝送速度をもつ2系統の信号を生成するためのプリコードを行うプリコードと、前記プリコードから出力されたN並列の信号を前記所定値の1/2の伝送速度をもつ2系統の信号としてそれぞれN/2対に多重化して前記符号器に出力する第1および第2の多重回路とをさらに備え、前記プリコードにおいて、N並列の低速信号に対応したN並列の各排他的論理和ゲート回路は、当該排他的論理和ゲート回路の出力を当該排他的論理和ゲート回路の偶数順序に応じて前記第1あるいは

前記第2の多重回路に出力するとともに、次番の排他的論理和ゲート回路の入力として出力し、最終番の排他的論理和ゲート回路は、所定値分の1のN倍時間分遅延した排他的論理和出力を前記第1番の排他的論理和ゲート回路の入力として出力することを特徴とする。

【0033】この発明によれば、プリコードが、N並列(Nは2の倍数)の低速信号が入力されるN並列の排他的論理和ゲート回路を有し、前記3値の電気信号を生成する前記符号器に出力される前記所定値の1/2の伝送速度をもつ2系統の信号を生成するためのプリコードを行い、第1および第2の多重回路が、前記プリコードから出力されたN並列の信号を前記所定値の1/2の伝送速度をもつ2系統の信号としてそれぞれN/2対1に多重化して前記符号器に出力するようにし、前記プリコードにおいて、N並列の低速信号に対応したN並列の各排他的論理和ゲート回路は、当該排他的論理和ゲート回路の出力を当該排他的論理和ゲート回路の偶奇順序に応じて前記第1あるいは前記第2の多重回路に出力するとともに、次番の排他的論理和ゲート回路の入力として出力し、最終番の排他的論理和ゲート回路は、所定値分の1のN倍時間分遅延した排他的論理和出力を前記第1番の排他的論理和ゲート回路の入力として出力するようにして

いる。

【0034】つぎの発明にかかる多重装置は、上記の発明において、前記光変調器からの出力光を入力として所定帯域の光スペクトルを選択出力する光バンドパスフィルタをさらに備え、前記光源は、光強度が時間的に変化しない直流光源であり、前記光バンドパスフィルタは、当該光バンドパスフィルタの2dB透過帯域が、前記光変調器から出力された前記所定値の伝送速度をもつ変調光の中心周波数±0.6×所定値以内であることを特徴とする。

【0035】この発明によれば、光強度が時間的に変化しない直流光源を変調した光フェーズオパティナリ変調信号を、光バンドパスフィルタが、当該光バンドパスフィルタの2dB透過帯域を、前記光変調器から出力された前記所定値の伝送速度をもつ変調光の中心周波数±0.6×所定値以内としている。

【0036】つぎの発明にかかる多重装置は、上記の発明において、前記光源は、前記所定値の周りで該光源の光強度の強弱を繰り返すパルス光源であることを特徴とする。

【0037】この発明によれば、前記光源を、前記所定値の周りで該光源の光強度の強弱を繰り返すパルス光源としている。

【0038】つぎの発明にかかる多重装置は、上記の発明において、前記パルス光源が出力する光パルスの光位相は、各パルス毎に180度変化することを特徴とする。

【0039】この発明によれば、前記パルス光源が出力

する光パルスの光位相を、各パルス毎に180度変化するようにしている。

【0040】つぎの発明にかかる多重装置は、上記の発明において、前記光変調器からの出力光を入力として所定帯域の光スペクトルを選択出力する光バンドパスフィルタをさらに備え、前記光バンドパスフィルタは、当該光バンドパスフィルタの2dB透過帯域が前記光変調器から出力された前記所定値の伝送速度をもつ変調光の中心周波数±1.1×所定値以内であることを特徴とする。

【0041】この発明によれば、光バンドパスフィルタを、当該光バンドパスフィルタの2dB透過帯域が前記光変調器から出力された前記所定値の伝送速度をもつ変調光の中心周波数±1.1×所定値以内とし、狭帯域化を図っている。

【0042】つぎの発明にかかる多重装置は、上記の発明において、前記光バンドパスフィルタの機能を有し、複数の変調光を波長多重した波長多重光として出力する合波手段をさらに備えたことを特徴とする。

【0043】この発明によれば、合波手段が、前記光バンドパスフィルタの機能を有し、複数の変調光を波長多重した波長多重光として出力するようにしている。

【0044】つぎの発明にかかる多重装置は、上記の発明において、前記所定値の伝送速度を有した複数の前記変調光を波長多重した波長多重光として出力する合波手段と、前記合波手段の前段に、隣接する各変調光の偏波を直交させる偏波面調整手段とをさらに備え、隣接する各変調光の波長間隔を前記所定値の1.2倍以内とすることを特徴とする。

【0045】この発明によれば、偏波面調整手段が、前記合波手段の前段に配置され、隣接する各変調光の偏波を直交させ、合波手段が、前記所定値の伝送速度を有した複数の前記変調光を波長多重した波長多重光として出力し、この際、隣接する各変調光の波長間隔を前記所定値の1.2倍以内としている。

【0046】つぎの発明にかかる多重装置は、上記の発明において、前記所定値の伝送速度を有した複数の前記変調光を波長多重した波長多重光として出力する合波手段と、前記合波手段の前段に、隣接する各変調光の偏波を直交させる偏波面調整手段とをさらに備え、隣接する各変調光の波長間隔を前記所定値の2.3倍以内とすることを特徴とする。

【0047】この発明によれば、偏波面調整手段が、前記合波手段の前段に配置され、隣接する各変調光の偏波を直交させ、合波手段が、前記所定値の伝送速度を有した複数の前記変調光を波長多重した波長多重光として出力し、この際、隣接する各変調光の波長間隔を前記所定値の2.3倍以内としている。

【0048】
【発明の実施の形態】以下に添付図面を参照して、この

発明にかかる多重装置の好適な実施の形態を詳細に説明する。

【0049】実施の形態1、図1は、この発明の実施の形態1である多重装置の構成を示すブロック図である。また、図2は、図1に示した各部の信号波形を示す図である。図1において、多重回路1、2に投入されたN並列の低速信号S1は、多重回路1、2によって、 $(N/2) : 1$ にそれぞれ多重され、信号速度をそれぞれ $B/2$ [bit/sec]の2系統の2値信号S2a、S2bに多重化される。

【0050】この2系統の2値信号S2a、S2bは、それぞれプリコード3のEXORゲート3a、3bに投入され、 $B/2$ [bit/sec]の2系統の2値信号S3a、S3bに変換される。EXORゲート3aから出力された2値信号S3aは、他方のEXORゲート3bに投入されるとともに、符号器4のフリップフロップ回路4aに投入される。また、EXORゲート3bから出力された2値信号S3bは、遅延器3cによって $B (= 2T)$ 時間遅延され、他方のEXORゲート3aに投入されるとともに、符号器4のフリップフロップ回路4bに投入される。

【0051】プリコード3から出力された2系統の2値信号S3a、S3bは、それぞれフリップフロップ回路4a、4bによって波形整形され、さらに後段の増幅器に4c、4dによってそれぞれ必要な振幅に増幅される。ここで、増幅器4c、4dが、ある一定の振幅以上には増幅させない飽和特性を持たせると、信号波形の擾乱を吸収し、最終的な出力波形に整形することができる。この波形整形は、増幅器4c、4dを、フリップフロップ回路4a、4bとともに、単一のデバイスとして、たとえば同一半導体チップ上に集積化すると一層効果的に波形整形することができる。

【0052】増幅器4cから出力された信号S4cは、そのまま加算器4fに出力され、増幅器4dから出力された信号S4dは、遅延器4eによって、信号S4cに比して T [sec] $(= 1/B)$ 分、遅延された後、信号S4eとして加算器4fに出力される。この加算器4fによって、2値の信号S4c、S4eが加算され、3値信号S4fに変換され、光変調器5の変調信号として出力される。この3値信号S4fは、光源6からの出力光を変調する変調信号として用いられる。

【0053】光変調器5は、光軸からの入力光を光分岐部によって2分岐し、位相変調部5aによって、分岐された光の位相を変調信号によって移相させた後に、合流部によって光の電界加算を行うものである。合流部に入射する2つの光の位相が一致している場合、出力光強度が増大し、位相が π [rad]ずれている場合は、出力光強度がなくなる。位相変調部5aでの移相量が0 [rad]であれば出力光強度が強く、移相量が π になると弱まり、移相量が 2π [rad]になると再び出力光強度が増える特性

が得られる。この特性を適用することによって、3値の変調器を用いて、光強度を2値に変調することができる。

【0054】ここで、図2に示すタイミングチャートを参照して、フリップフロップ回路4a、4bの動作速度が $B/2$ [bit/sec]で十分であることについて説明する。図2(a)に示す信号波形は、送信信号であり、この多重装置が送信すべき B [bit/sec]の多重信号を

「1、0」の2値で示したものである。従来では、この送信信号をプリコード101によって処理し、 B [bit/sec]の2値信号に変換した後、2ビットのシフトレジスタに投入していた。プリコード202および符号器203内のシフトレジスタは、 B [bit/sec]での動作が必要となる。

【0055】図2(b)に示す欠点を参照すると、従来の符号器203では、プリコード202から入力された1クロック幅の信号を、符号器203内の2つのフリップフロップ回路によって2クロックに相当する時間引き伸ばし、その後、これらを加算するようにしている。

【0056】一方、この実施の形態1に示したプリコード3の出力は、図2(d)に示すように、最初から2クロック長の時間間隔でトグルされる2系統の2値信号S2a、S2bであり、これらの2値信号S2a、S2bを保持するフリップフロップ回路4a、4bも、 $B/2$ [bit/sec]で動作するため、従来と同様に、各2値信号を2クロック幅に引き伸ばすことができる。同様にして、加算器4fから出力される信号波形は、図2(f)に示すように従来と同じ3値信号となる。

【0057】この実施の形態1では、プリコード3および符号器4で使用するクロックを、従来の2分の1のクロックを用いて、同じ送信側の2値信号を3値信号に変換することができるので、高速動作電子デバイスを用いなくても、最終的に B [bit/sec]の信号処理を、高速動作電子デバイスを使用したときと同様に処理することができる。逆に、フリップフロップ回路などの処理速度の限界を超えた変換処理を実行でき、一層高速の処理が可能になる。

【0058】実施の形態2、つぎに、この発明の実施の形態2について説明する。図3は、この発明の実施の形態2である多重装置の符号器の構成を示す図である。図3において、この符号器14では、符号器4の増幅器4c、4dの代わりに、1つの増幅器14aを加算器4fの後段に設けている。その他の構成は、実施の形態1と同じであり、同一構成部分には同一符号を付している。

【0059】ここで、増幅器4c、4dと異なり、増幅器14aに入力される信号は、3値信号であるため、増幅器4c、4dのように、飽和特性を持たせることは適さないが、増幅器の個数を少なくすることができ、符号器14、ひいては多重装置全体の小型化を促進することができる。

13

【0060】実施の形態3. つぎに、この発明の実施の形態3について説明する。図4は、この発明の実施の形態3である多重装置の符号器の構成を示す図である。図4において、この符号器24は、実施の形態2に示した遅延器4cの代わりに、遅延器24aをフリップフロップ回路4bの直前に設け、さらに、フリップフロップ回路4bのクロックの位相を π [rad]だけ移相する移相器24bを設けている。これによって、加算器4fに入力される各系統の2値信号間にT[sec] ($=1/B$)の遅延差をもたせることができる。移相器24bを設けるのは、遅延してきた信号をたたくクロックも遅延に対応させる必要があるからである。その他の構成は、実施の形態2と同じであり、同一構成部分には同一符号を付している。

【0061】この実施の形態3では、フリップフロップ回路4a、4bと加算器4fとを同一のICとして集積化する。遅延器24aをIC外部に設けることができる。一般にフリップフロップ回路4a、4bと加算器4fとの間の伝達遅延は、信号の反射などによる影響を低減するためにも、可能な限り短い伝達路とすることが好ましいが、この実施の形態3では、IC内部で遅延させる構成をもつ必要がなくなり、この結果、精度の高い符号器を実現することができる。

【0062】実施の形態4. つぎに、この発明の実施の形態4について説明する。上述した実施の形態1〜3では、いずれも1つの制御信号入力端子をもつマツツェンダ型的光変調器であったが、この実施の形態4では、2つの制御信号入力端子をもつマツツェンダ型的光変調器に対しても、上述した実施の形態1〜3の処理と同様の処理を可能としている。

【0063】図5は、この発明の実施の形態4である多重装置の符号器の構成を示す図である。図5において、この符号器34は、実施の形態1に示した符号器4に対応した符号器であり、増幅器4c、4dに対応した増幅器34c、34dと、遅延器4eに対応した2つの遅延器31a、31bと、加算器4fに対応した2つの加算器32a、32bとを有し、増幅器34c、34dから出力される正相と逆相との2系統の信号は、最終的に、2つの制御信号入力端子をもつマツツェンダ型的光変調器35の各制御信号入力端子に出力される。その他の構成は、実施の形態1と同じであり、同一構成部分には同一符号を付している。

【0064】ここで、2つの制御信号入力端子をもつ光変調器35の場合、光変調器35内において合流する2つの光の位相差を π [rad]にする際に、光位相変調器35aで $+\pi/2$ [rad]変換させ、光位相変調器35bで $-\pi/2$ [rad]変換させればよく、1つの制御信号入力端子をもつ光変調器に比して、光位相変調器毎の移相変化量が少なくて済み、光変調スペクトルを狭帯化できる特徴を持っている。

14

【0065】この場合、2つの光位相変調器35a、35bを駆動する2系統の3値の制御信号は、増幅器34c、34dから出力される正相および逆相のそれぞれの出力信号を加算することで生成することができる。この生成された2系統の3値信号は、レベルを「1, 0, -1」と揃えらるると正と負とが反転した対象波形となるため、差動信号として並送させると外部からのノイズに強い特徴を発揮する。

【0066】また、図6は、この発明の実施の形態4である多重装置の他の符号器の構成を示す図である。図6に示した符号器44は、実施の形態3に示した符号器24に対応し、図5に示した符号器34の遅延器31a、31bに代えて、遅延器44aをフリップフロップ回路4bの直前に設け、さらに、フリップフロップ回路4bのクロックの位相を π [rad]だけ移相する移相器44bを設けている。これによって、加算器32a、32bに入力される各系統の2値信号間にT[sec] ($=1/B$)の遅延差をもたせることができる。移相器44bを設けるのは、実施の形態3と同様に、遅延してきた信号をたたくクロックも遅延に対応させる必要があるからである。その他の構成は、図5に示した符号器と同じであり、同一構成部分には同一符号を付している。

【0067】この実施の形態4では、1つの制御信号入力端子をもつ光変調器に対する実施の形態1〜3の機能と同様に、2つの制御信号入力端子をもつ光変調器に対しても同様に、高速電子デバイスを用いなくても、2値信号を3値信号に高速変換出力することができる。

【0068】実施の形態5. つぎに、この発明の実施の形態5について説明する。上述した実施の形態1に示したブリコグ3では、たとえばEXORゲート3aの正相出力は、他方のEXORゲート3bの入力端子と、次段のフリップフロップ回路4aとに入力される。この場合、各EXORゲート3a、3bのファンアウト数が2つとなる。

【0069】これに対し、図7に示したこの発明の実施の形態5のブリコグ53では、各EXORゲート3a、3bに対応する各EXORゲート53a、53bに正相出力と逆相出力とをもち、EXORゲート53aの逆相出力を他方のEXORゲート53bの入力端子に接続し、EXORゲートの正相出力を遅延器3cを介してEXORゲート53aの入力端子に接続するようにしている。なお、その他の構成は、実施の形態1と同じであり、同一構成部分には、同一符号を付している。

【0070】この実施の形態5では、EXORゲート53a、53bのファンアウト数がそれぞれ1つとなるため、実施の形態1に示したEXORゲート3a、3bのファンアウト数が2つの場合に比して、動作速度を高速にすることが可能である。

【0071】実施の形態6. つぎに、この発明の実施の形態6について説明する。図8は、この発明の実施の形

態6である多重装置のプリコードおよび符号器に関連する構成を示す図である。上述した実施の形態5では、E XORゲート53bの出力を2T[sec]だけ遅延させた信号を、E XORゲート53aに入力するようにしているが、この実施の形態6では、E XORゲート53bの後段に配置されたフリップフロップ回路4bの出力信号を、2T[sec]だけ遅延させた信号として、E XORゲート53aに入力するようにしている。

【0072】すなわち、この実施の形態6では、実施の形態5に示した遅延器3cの構成を削除し、E XORゲート53bの後段に配置されるフリップフロップ回路4bの出力信号を、遅延信号として有効利用している。この結果、この実施の形態6では、構成要素を少なくすることができ、これによって多重装置の小型軽量化を一層促進することができる。

【0073】実施の形態7. つぎに、この発明の実施の形態7について説明する。図9は、この発明の実施の形態7である多重装置のプリコードおよび符号器に関連する構成を示す図である。図9において、プリコード73と符号器74とは、それぞれ実施の形態5に示したプリコード53および符号器54に対応するが、この実施の形態7は、プリコード73と符号器74とを物理的に異なる部品として構成するようにしている。すなわち、異なるICとして構成している。

【0074】この結果、プリコード73を実現するICと、符号器74を実現するICとの間は、信号線によって接続されるため、信号線の伝搬遅延などによって、2系統の2値信号のタイミングが狂ってしまう場合が発生する。このため、この実施の形態7では、信号線の接続箇所において、それぞれクロック発生器7に同期するフリップフロップ回路73a、73bおよびフリップフロップ回路74a、74bを設けている。この場合、2つのフリップフロップ回路73a、74aは、フリップフロップ回路4aに対応し、2つのフリップフロップ回路73b、74bは、フリップフロップ回路4bに対応している。ただし、各2系統の信号は、それぞれ1つのクロック分、同期して遅延することになる。

【0075】この実施の形態7では、プリコード73の出力側および符号器74の入力側に、それぞれフリップフロップ回路73a、73bおよびフリップフロップ回路74a、74bを設けているので、プリコード73と符号器74とが異なるICとして実装される場合であっても、これらを接続する信号線の遅延差による信号波形崩れなどの影響を最小限に抑えることができる。

【0076】実施の形態8. つぎに、この発明の実施の形態8について説明する。図10は、この発明の実施の形態8である多重装置のプリコードの構成を示す図である。上述した実施の形態1〜7では、すべて多重回路1、2の後段にプリコードを配置し、プリコード出力を符号器に入力するようにしていたが、プリコードが処理

する信号速度は、 $B/2$ [bit/sec]であるため、以前と比べて高速処理が要求される。

【0077】これに対し、この実施の形態8では、プリコードを、多重回路1、2の前段部分に配置し、N並列の低速信号S1に対して並列的にプリコードしようとするものである。

【0078】図10において、このプリコード81は、 B/N [bit/sec]のN並列の低速信号S1に対して、N個のE XORゲート3-1〜3-Nを適用するものである。各E XORゲート3-1〜3-Nは、それぞれ後段に配置されたN個のフリップフロップ回路4-1〜4-Nに接続される。各フリップフロップ回路4-1〜4-Nを設けたのは、後段の各多重回路1、2に対するタイミング調整のためである。なお、フリップフロップ回路4-Nは、そのほか、実施の形態7で示したように、遅延器としての機能を有する。

【0079】各E XORゲート3-1〜3-Nには、N並列の低速信号が1つずつ入力される。E XORゲート3-1〜3-Nの各出力は、後段のフリップフロップ回路4-1〜4-Nに出力されるとともに、E XORゲート3-1〜3-N (N-1) の各出力は、隣接する並列の並び番号が1つ多いE XORゲート3-2〜3-Nにそれぞれ入力される。

【0080】フリップフロップ回路4-1〜4-Nのうちの奇数番目のフリップフロップ回路4-1、4-3、4-5、…の出力は、多重回路1に出力され、フリップフロップ回路4-1〜4-Nのうちの偶数番目のフリップフロップ回路4-2、4-4、4-6、…の出力は、多重回路2に出力される。また、フリップフロップ回路4-Nの出力は、このフリップフロップ回路4-Nの保持期間を遅延して利用し、この遅延した出力をE XORゲート3-1に入力する。

【0081】多重回路1、2は、それぞれプリコード81から入力された $N/2$ 個の出力信号を多重化して、図示しない符号器に出力する。ここで、多重回路1、2は、クロック発生器7が出力する $B/2$ [bit/sec]のクロックをもとに変換処理を行うが、フリップフロップ回路4-1〜4-Nの処理はN並列の低速信号であるため、 $B/2$ [bit/sec]のクロックを $N/2$ 倍分周する分周器82によって発生した低速のクロックによって、各フリップフロップ回路4-1〜4-Nは同期して動作する。

【0082】この実施の形態8では、N並列の低速信号S1が入力されるため、E XORゲート3-1〜3-Nの動作速度に余裕ができ、健全なプリコード処理が実現される。特に、光通信では、10 G〜40 G [bit/sec]といった高速信号をプリコードで処理すると、各E XORゲート自体の遅延時間が無視できなくなり、遅延時間2T以内に出力信号を、対応するE XORゲートの入力に戻すことが難しくなるが、多重回路1、2の前段

に配置すると、信号接続遅延時間が $2T \cdot N$ [sec]に増大するため、高速通信の実現性が高くなる。なお、プリコード81の配置は、N並列部分であっても、 $N/2$ 並列部分であっても、 $N/4$ 並列部分であっても同様に動作させることが可能であり、プリコード81の配置は、1Cの集積化単位や、消費電力などを勘案して最適な構成を選択すれば良い。

【0083】実施の形態9. つぎに、この発明の実施の形態9について説明する。上述した実施の形態1~8では、光源6については特に言及していなかったが、この実施の形態9では、光源6として、一定の出力強度を連続出力するDC光源を用いている。

【0084】図11は、光源としてDC光源を用いた場合における符号器出力と光デューバイナリ信号と復号機出力との電気信号スペクトルおよび波長多重後の光スペクトルを示す図である。たとえば、図1に光源6としてDC光源を用いた場合、符号器4から出力される電気3値をもつデューバイナリ変調信号のスペクトルは、図11(a)に示すスペクトルとなる。このデューバイナリ変調信号は、 $B/2$ [bit/sec]の2系統の信号を加算した信号であるため、この信号スペクトルは、図11(a)の実線で示すように、 $3B/2$ [bit/sec]の2値信号と同等の形状を示すスペクトルとなる。なお、図11(a)に示した破線は、 B [bit/sec]の2値信号のスペクトルを示している。

【0085】図11(a)に示した実線のスペクトルをもって変調された光スペクトルは、図11(b)の実線で示すように、光キャリア周波数 f_c [Hz]を中心に広がる。この光スペクトルのうち、伝送信号成分は、 $f_c \pm (B/2)$ [Hz]のメインコープに含まれているので、この帯域外のスペクトルは、光フィルタによってカットしても信号波形状は、保存されることになる。この光フィルタは、光変調器の後段に設ける。

【0086】なお、信号波形状のフィルタリングは、電気領域でも行うことができるが、光フィルタを用いると、高次のフィルタ特性が得やすいため、フィルタのサイドロープの急峻な抑圧が可能な理想的なフィルタを実現できる。

【0087】この光フィルタの帯域幅は、 $f_c \pm 0.5 \times B$ [Hz]でも良いが、現実的には、光位相特性が平坦であると期待される $2d$ B帯域幅 d 10が、 $f_c \pm 0.6 \times B$ [Hz]よりも狭くするぐらいが適当である。なお、位相特性が理想的なフィルタを用いるのであれば、帯域幅を、 $f_c \pm 0.7 \times 0.5 \times B$ [Hz]程度に狭帯化しても、 f_0, f_1 を識別することが可能である。

【0088】図11(c)は、複数の光デューバイナリ信号を波長多重化した場合の光スペクトルを示す図である。図11(c)では、波長間隔 d 11を、 B [Hz] $\pm \alpha$ としているが、多少のペナルティを覚悟すれば、波長間隔 d 11を、 B [Hz]以下に決めることも可能である。

【0089】この場合、後述するように、隣接波長の偏波を直交するように偏波調整を行うことによって、スペクトルが重なる領域でのビート雑音が低減され、ペナルティを大幅に低減することができる。

【0090】図11(d)は、受信側において1つの波長を抽出し、フォトディテクタなどの受信器によって2乗検波した後の電気波形状スペクトルを示している。光スペクトル領域では、光位相を用いた3値伝送を行っているが、フォトディテクタでは、位相情報が増倍し、パワーを示す2値信号に変換され、これによってスペクトルが図11(d)に示すように、 B [bit/sec]の2値信号スペクトルに変換されることになる。

【0091】ここで、図12は、波長多重を実現する多重装置の構成を示す図である。図12において、実施の形態1~8の多重装置に対応する多重部91~91-nは、それぞれ光キャリア周波数に対応した光信号を出力するDC光源としての光源90を有する。各多重部91~91-nの後段には、各光キャリア周波数に対応する上述した光フィルタ92~92-nがそれぞれ設けられる。さらに、光フィルタ92~92-nから出力された n 個の光信号は、合波器93に入力され、波長多重され、この波長多重光は、1本の光ファイバ上に出力されて伝送される。

【0092】なお、上述したような隣接波長の偏波を互いに直交させる場合には、各光フィルタ92~92-nと合波器93との間に、隣接波長の偏波が直交するように調整する偏波調整部を設ければよい。

【0093】この実施の形態9では、符号器出力あるいは光デューバイナリ信号の信号成分をもつスペクトル幅が半減するので、このスペクトル幅に対応したフィルタリングを行うことによって、波長多重数を倍増することができ、高速大容量光通信を容易に実現することができる。

【0094】実施の形態10. つぎに、この発明の実施の形態10について説明する。上述した実施の形態9では、光源6としてDC光源を用いていたが、この実施の形態10では、光源6として、信号速度 B [bit/sec]と同じ B [Hz]の周期で強度が変化するパルス光源を用いている。

【0095】このパルス光源を用いる光強度変調方式をRZ (Return to Zero) 変調という。図13は、パルスの光位相とこのパルスの伝搬波形状とを説明する図である。図13(a)は、送信側における光パルス波形状を示しており、2つのパルスは重ならない。しかし、光パルスが長距離伝搬されると、波長分散などの影響を受けて、パルス幅が広がり、隣接パルス同士に重なり部分E1が生じる。

【0096】この場合、隣接するパルスの光位相が同等であるとき、パルス幅が重なった重なり部分E1において光位相が強い場合、パルスとパルスとの間に光強度

が強まる部分が発生する。ここで、光伝送路の非線形性が問題となる長距離光伝送システムでは、パルス間の山形状が徐々に増大し、ものと光パルス波形を大幅に乱すことがある。

【0097】一方、隣接するパルスの光位相を毎パルス 180 度反転させると、パルスの重なり部分で位相が反転するため、互いに弱め合い、パルス間に、山形状が発生しない。このような R-Z 変調方式は、時間平均すると、光キャリア成分が抑圧されているため、CS (Carrier Suppressed) - R-Z 変調方式と呼ばれる。この CS - R-Z 変調方式は、光信号の非線形性が問題となる長距離光伝送システムにおける波形伝達に有利な方式である。

【0098】図 14 は、上述した CS-R-Z 変調方式におけるスペクトル形状の一例を示した図である。図 14 (a) は、符号器出力の電気スペクトルを示している。図 14 (b) は、光変調器によって変調された光スペクトルを示している。ここで、パルス光源が、B [Hz] でその強度が変化し、パルス毎に位相が 180 度反転する場合、光スペクトルは、図 14 (b) に示すように、図 1 (b) の光スペクトルを B [Hz] だけずらし、それぞれを加算したような形状となる。

【0099】ここで、R-Z 変調波形の主成分は、2 つの山からなるメインローブに含まれているため、信号帯域は、 $f_c \pm B$ [Hz] に含まれる。サイドローブは、実施の形態 9 と同様に、光フィルタを用いて抑圧することができる。光フィルタの 2 dB 帯域 2 d1 は、実施の形態 9 と同様に、 $2B$ [Hz] もしくは、 $0.7 \times 2 \times B$ [Hz] 程度であっても、波形が保存されるが、実用上は、光フィルタの 2 dB 帯域が 2.3 [Hz] 以下程度にするとよい。帯域幅が $2.3 \times B$ [Hz] となるのは、実施の形態 9 と同様の帯域幅 $1.3 \times B$ [Hz] と、2 つのメインローブ間の間隔 B [Hz] との和が、 2.3 [Hz] となるからである。

【0100】図 14 (c) は、CS-R-Z 変調方式による光デュオバイナリ信号を波長多重化したときの光スペクトルである。図 14 (c) に示すように、CS-R-Z 変調方式を採用して、波長多重化する場合であっても、少ない波長間隔で多くの波長を多重化でき、しかも波形伝達を良好に行うことができる。

【0101】図 15 は、CS-R-Z 変調方式を用いて波長多重を行う多重装置の構成を示す図である。図 15 において、実施の形態 1~8 の多重装置に対応する多重部 101-1~101-n は、それぞれ光キャリア周波数に対応した光信号を出力するパルス光源としての光源 100 を有する。各多重部 101-1~101-n の後段には、各光キャリア周波数に対応する上述した光フィルタ 102-1~102-n がそれぞれ設けられる。さらに、光フィルタ 102-1~102-n から出力された n 個の光信号は、合波器 103 に入力され、波長多重され、この波長多重光は、1 本的光ファイバ 104 に出力され

て伝送される。

【0102】図 16 は、CS-R-Z 変調方式によるデュオバイナリ信号を波長多重する場合における波長の偏波を互いに直交させた場合のスペクトルを示した説明図である。図 16 において、隣接する波長は、互いに直交するようにしている。隣接する波長が互いに直交すると、電界が直接加算されることがないため、波長間クロストークによる伝送ペナルティが大幅に軽減される。この場合、波長間隔は $2.3 \times B$ [Hz] 以下でも問題が発生せず、多少のペナルティを覚悟すれば、たとえば、波長間隔 $d2$ を、 $1.6 \times B$ 程度に近づけても、信号伝送を行うことができる。

【0103】図 17 は、隣接する波長を互いに直交させて波長多重を行う多重装置の構成を示す図である。図 17 において、この多重装置は、図 15 に示した多重装置の光フィルタ 102-1~102-n と合波器 103 との間に、隣接する波長を互いに直交させる偏波調整部 104 が設けられている。その他の構成は、図 15 に示した構成と同じであり、同一構成部分には同一符号を付している。このような構成によって、隣接する波長が互いに直交する波長多重が実現される。なお、偏波調整部 104 は、基準の偏波面とこの基準の偏波面に直交する直交偏波面とに調整すべき各波長毎にまとめ、このまとめた波長毎に偏波調整を行い、その後、合波するようにしてもよいし、各波長毎に偏波調整を行うようにしてもよい。

【0104】この実施の形態 10 では、符号器出力あるいは光デュオバイナリ信号の信号成分を従来と同じスペクトル幅で、CS-R-Z 変調方式を実現することができる。CS-R-Z 変調方式による波長多重度を倍増することができる。高速大容量光通信を容易に実現することができる。

【0105】

【発明の効果】以上説明したように、この発明によれば、第 1 および第 2 のフリップフロップ回路が、前記所定値の $1/2$ の伝送速度をもつ 2 系統の信号を、該所定値の $1/2$ の周波数で各系統の信号を保持して出力し、遅延手段が、前記第 2 のフリップフロップ回路からの出力信号を、前記加算手段の入力タイミング時に、前記第 1 のフリップフロップ回路から出力された出力信号に比して前記所定値分の 1 の時間分遅延させ、加算手段が、前記第 1 および第 2 のフリップフロップ回路から出力された各出力信号を加算して出力するようにしているの、前記符号器を構成する第 1 および第 2 のフリップフロップ回路などの電子デバイスに要求される処理速度が半減し、低コストかつ小型化した多重装置を実現することができるという効果を奏する。

【0106】つぎの発明によれば、第 1 および第 2 の増幅手段が、前記第 1 および第 2 のフリップフロップ回路からの出力信号をそれぞれ増幅するようにしているの

21

で、前記変調器に入力される変調信号である3値の電気信号の信号レベルを適切に保つことができるという効果を奏する。

【0107】つぎの発明によれば、第3の増幅手段が、前記加算手段からの出力信号を増幅するようにしているので、少ない個数の増幅手段で済み、小型軽量化を一層促進することができるという効果を奏する。

【0108】つぎの発明によれば、前記第1および第2の増幅手段あるいは前記第3の増幅手段が、出力信号の振幅を一定レベル以上に増幅させない飽和特性を有するようになっているので、適切な信号レベルをもつ信号として出力することができるという効果を奏する。

【0109】つぎの発明によれば、前記遅延手段が、前記第2のフリップフロップ回路の後段に配置され、伝播遅延を有した伝送線路とされているので、確実な伝送遅延を得ることができるという効果を奏する。

【0110】つぎの発明によれば、前記遅延手段の時間遅延手段が、前記第2のフリップフロップ回路の前段に配置され、前記第2のフリップフロップからの出力信号を、前記加算手段の入力タイミング時に、前記第1のフリップフロップ回路から出力された出力信号に比して前記所定値分の1の時間分遅延させ、移相手段が、前記第2のフリップフロップ回路のロックタイミングを180度シフトさせるようにしているので、時間遅延手段を外部に設けることができ、確実な遅延を設定することができるとともに、他の構成の単純化を促進できるという効果を奏する。

【0111】つぎの発明によれば、光分岐手段が、入力光を2分岐し、光位相変調手段が、前記3値の電気信号によって、前記光分岐手段が2分岐した一方の光信号の位相を変化させ、光合流手段が、前記光分岐手段が2分岐した光信号を合流させるマツハツゼンダ型光変調器によって、前記光変調器を構成しているため、一つの光位相変調手段をもつマツハツゼンダ型光変調器であっても、低遅延の電子デバイスを用いて光デュオバイナリ変調信号を生成することができるという効果を奏する。

【0112】つぎの発明によれば、光分岐手段が、入力光を2分岐し、第1の位相変調手段が、前記3値の電気信号によって、前記光分岐手段が2分岐した一方の光信号の位相を変化させ、第2の位相変調手段が、前記3値の電気信号によって、前記光分岐手段が2分岐した他方の光信号の位相を変化させ、光合流手段が、前記光分岐手段が2分岐した光信号を合流させるマツハツゼンダ型光変調器によって前記光変調器を構成するようにしているので、二つの光位相変調手段をもつマツハツゼンダ型光変調器であっても、低遅延の電子デバイスを用いて光デュオバイナリ変調信号を生成することができるという効果を奏する。

【0113】つぎの発明によれば、前記第1の排他的論理和ゲート回路は、前記所定値の1/2の伝送速度をも

22

つ2系統の信号のうちの1つの系統の信号と前記信号遅延手段からの出力信号との排他的論理和演算を行って前記第1のフリップフロップ回路に出力するとともに、前記第2の排他的論理和ゲート回路に出力し、前記第2の排他的論理和ゲート回路は、前記所定値の1/2の伝送速度をもつ2系統の信号のうちの他の系統の信号と前記第1の排他的論理和ゲート回路から出力された出力信号との排他的論理和演算を行って前記第2のフリップフロップ回路に出力するとともに、前記信号遅延手段に出力して、3値信号を生成するためのプリコードを行うようにしているので、低遅延の電子デバイスによって、3値の電気信号を生成するためのプリコード処理を行うことができるという効果を奏する。

【0114】つぎの発明によれば、プリコードが、N並列(Nは2の倍数)の低速信号が入力されるN並列の排他的論理和ゲート回路を有し、前記3値の電気信号を生成する前記符号器に入力される前記所定値の1/2の伝送速度をもつ2系統の信号を生成するためのプリコードを行い、第1および第2の多重回路が、前記プリコードから出力されたN並列の信号を前記所定値の1/2の伝送速度をもつ2系統の信号としてそれぞれN/2対1に多重化して前記符号器に出力するようにし、前記プリコードにおいて、N並列の低速信号に対応したN並列の各排他的論理和ゲート回路は、当該排他的論理和ゲート回路の出力を当該排他的論理和ゲート回路の偶番順序に立じて前記第1あるいは前記第2の多重回路に出力するとともに、次番の排他的論理和ゲート回路の入力として出力し、最終番の排他的論理和ゲート回路は、所定値分の1のN倍時間分遅延した排他的論理和出力を前記第1番の排他的論理和ゲート回路の入力として出力するようにしているので、一層、低遅延にプリコード処理を行うことができるので、さらに高速処理が可能になるとともに、確実なプリコード処理を行うことができるという効果を奏する。

【0115】つぎの発明によれば、光強度が時間的に変化する直流光源を変調した光デュオバイナリ変調信号を、光バンドパスフィルタが、当該光バンドパスフィルタの2dB透過帯域を、前記光変調器から出力された前記所定値の伝送速度をもつ変調光の中心周波数±0.6×所定値以内としているので、波長多重を行う場合に、多重数を多くすることができるという効果を奏する。

【0116】つぎの発明によれば、前記光源を、前記所定値の周波数で該光源の光強度の強弱を繰り返すパルス光源としているので、安定した光伝送を行うことができるという効果を奏する。

【0117】つぎの発明によれば、前記パルス光源が出力するパルスの光位相を、各パルス毎に180度変化するようにしているので、CS-R2変調方式を実現することができ、この場合であっても振幅増大が可能であ

り、波長多重数を増大させることができるという効果を奏する。

【0118】 つぎの発明によれば、光バンドパスフィルタを、当該光バンドパスフィルタの2dB透過帯域が前記光変調器からも出力された前記所定値の伝送速度をもつ変調光の中心周波数 $1/1 \times$ 所定値以内とし、狭帯域化を図っているため、波長多重数を増大することができるという効果を奏する。

【0119】 つぎの発明によれば、合波手段が、前記光バンドパスフィルタの機能を有し、複数の変調光を波長多重した波長多重光として出力するようにしているため、波長多重化を行う際、多重数を増大することができるという効果を奏する。

【0120】 つぎの発明によれば、箱波面調整手段が、前記合波手段の前段に配置され、隣接する各変調光の偏波を直交させ、合波手段が、前記所定値の伝送速度を有した複数の前記変調光を波長多重した波長多重光として出力し、この際、隣接する各変調光の波長間隔を前記所定値の1/2倍以内としているため、波長多重数を増大することができるという効果を奏する。

【0121】 つぎの発明によれば、箱波面調整手段が、前記合波手段の前段に配置され、隣接する各変調光の偏波を直交させ、合波手段が、前記所定値の伝送速度を有した複数の前記変調光を波長多重した波長多重光として出力し、この際、隣接する各変調光の波長間隔を前記所定値の2/3倍以内としているため、波長多重数を増大することができるという効果を奏する。

【図面の簡単な説明】

【図1】 この発明の実施の形態1である多重装置の全体構成を示す図である。

【図2】 図1に示した多重装置の各部から出力される信号波形を示すタイミングチャートである。

【図3】 この発明の実施の形態2である多重装置の符号器の構成を示す図である。

【図4】 この発明の実施の形態3である多重装置の符号器の構成を示す図である。

【図5】 この発明の実施の形態4である多重装置の符号器の構成を示す図である。

【図6】 この発明の実施の形態4である多重装置の他の符号器の構成を示す図である。

【図7】 この発明の実施の形態5である多重装置のプリコードの構成を示す図である。

【図8】 この発明の実施の形態6である多重装置のプリコードおよび符号器の構成を示す図である。

【図9】 この発明の実施の形態7である多重装置のプリコードおよび符号器の構成を示す図である。

【図10】 この発明の実施の形態8である多重装置のプリコードおよび符号器の構成を示す図である。

【図11】 この発明の実施の形態9である多重装置による各部のスペクトルとフィルタ特性とを示す図である。

【図12】 図11に示した多重部によって波長多重を実現する多重装置の構成を示す図である。

【図13】 パルス波形と光位相との関係を示す図である。

【図14】 CS-RZ変調方式による各部のスペクトルとフィルタ特性との関係を示す図である。

【図15】 図14に示したスペクトルをもつ信号の波長多重を実現する多重装置の構成を示す図である。

【図16】 CS-RZ変調方式において隣接する波長を互いに直交させた多重化を説明する図である。

【図17】 図16で示した直交関係を持たせることができる多重装置の構成を示す図である。

【図18】 従来の多重装置の全体構成を示す図である。

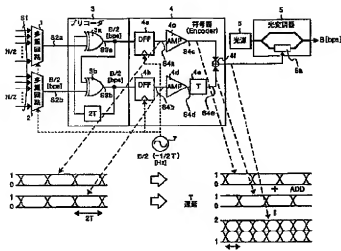
【図19】 図18に示した符号器の具体的な実現回路を示す回路図である。

【図20】 図18に示した多重装置における各部の信号波形を示すタイミングチャートである。

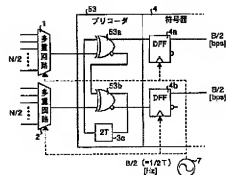
【符号の説明】

1, 2 多重回路、3, 4-1~4-N, 53, 73, 81, 101 プリコード、3a, 3b, 3-1~3-N, 53a, 53b EXORゲート、3c, 4e 遅延器、4, 14, 24, 34, 44, 100 符号器、4a, 4b フリップフロップ回路、4c, 4d, 14a, 34c, 34d 増幅器、4f, 32a, 32b 加算器、5 光変調器、5a 位相変調器、6, 90, 100 光源、7 クロック発生器、24a, 31a, 31b, 44a 遅延器、24b, 44b 移相器、35 光変調器、35a, 35b 光位相変調器、73a, 73b, 74a, 74b フリップフロップ回路、82 分周器、91, 101 多重部、92, 102 光フィルタ、93 合波器、103 合波器、104 偏波調整部。

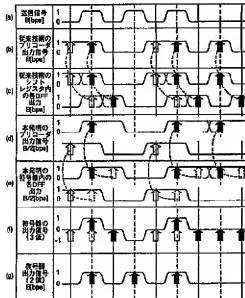
【図1】



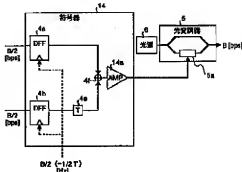
【図7】



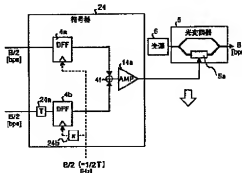
【図2】



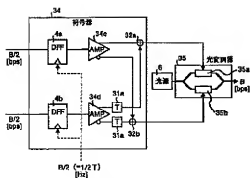
【図3】



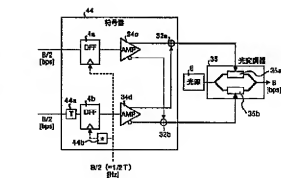
【図4】



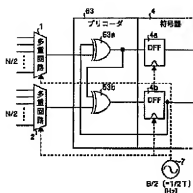
【図5】



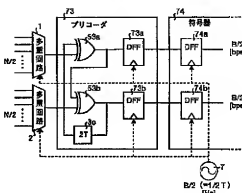
【図6】



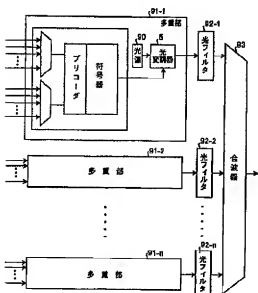
【図8】



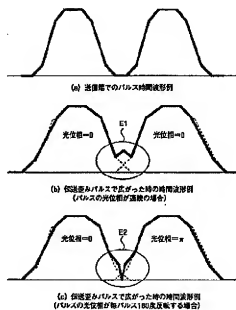
【図9】



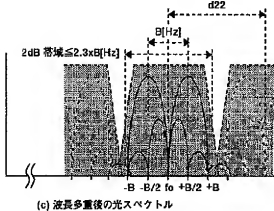
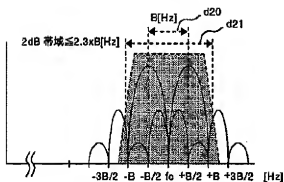
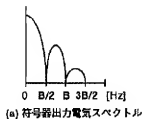
【図12】



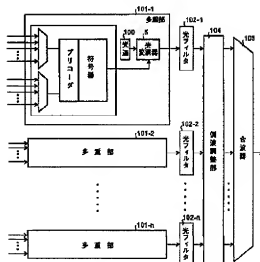
【図13】



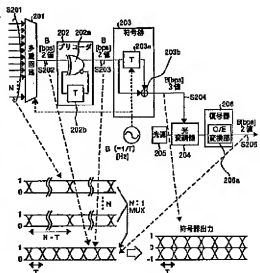
【図14】



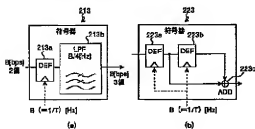
【図17】



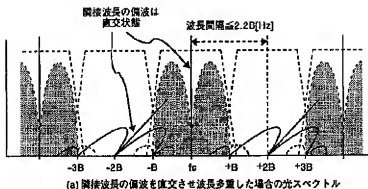
【図18】



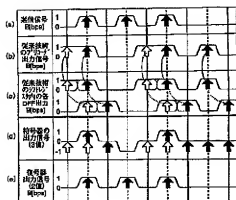
【図19】



【図16】



【図20】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

ターナー (参考)

H 0 4 B

H 0 4 B 9/00

L

10/04

E

10/05

10/152

10/142

H 0 4 J

14/00

14/02

3/00

(72) 発明者 久保 和夫

Fターム (参考) 2H079 AA02 AA12 BA01 CA04 EA05

東京都千代田区丸の内二丁目2番3号 三

FA03 KA07

菱電機株式会社内

SK002 AA02 CA03 CA15 DA06 DA32

(72) 発明者 一番ヶ瀬 広

SK028 AA11 EB08 KK01 MM08

東京都千代田区丸の内二丁目2番3号 三

SK029 AA11 CC04 FF02 GG03 HH22

菱電機株式会社内